

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

**THIS PAGE BLANK (USPTO)**

8  
PCT/JP98/01431

09.06.98

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

REC'D 19 JUN 1998

WIPO PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application: 1997年10月30日

出 願 番 号

Application Number:

平成 9年特許願第298166号

出 願 人

Applicant (s):

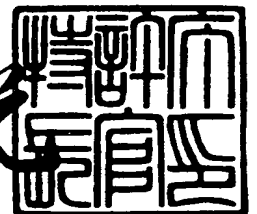
株式会社日立製作所

PRIORITY DOCUMENT

1998年 4月17日

特許庁長官  
Commissioner,  
Patent Office

荒井寿光



出証番号 出証特平10-3027732

【書類名】 特許願  
【整理番号】 1197025961  
【提出日】 平成 9年10月30日  
【あて先】 特許庁長官 殿  
【国際特許分類】 H01L 27/00  
【発明の名称】 モノリシック絶縁カプラ  
【請求項の数】 2

---

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号  
株式会社 日立製作所 日立研究所内

【氏名】 大内 貴之

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号  
株式会社 日立製作所 日立研究所内

---

【氏名】 小嶋 康行

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号  
株式会社 日立製作所 日立研究所内

【氏名】 秋山 登

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号  
株式会社 日立製作所 日立研究所内

【氏名】 岩村 将弘

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号  
株式会社 日立製作所 日立研究所内

【氏名】 渡辺 篤雄

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号

株式会社 日立製作所 日立研究所内

【氏名】 根本 峰弘

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社 日立製作所

【代理人】

【識別番号】 100068504

---

【弁理士】

【氏名又は名称】 小川 勝男

【電話番号】 03-3212-1111

【手数料の表示】

【予納台帳番号】 013088

【納付金額】 21,000円

---

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003094

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 モノリシック絶縁カプラ

【特許請求の範囲】

【請求項1】

S O I (Silicon On Insulation) ウェハに、埋め込み絶縁層に達する溝を絶縁物で充填した帯状の領域を誘電体とした容量領域と、容量駆動回路を含む入力回路領域と、容量経由信号検出回路を含む出力回路領域と、を備え、S O I ウェハの基板電位を浮動電位とすることを特徴とするモノリシック絶縁カプラ。

【請求項2】

S O I (Silicon On Insulation) ウェハ上に、埋め込み絶縁層に達する溝を絶縁物で充填した帯状の領域を誘電体とした容量領域と、容量駆動回路を含む入力回路領域と、容量経由信号検出回路を含む出力回路領域と、を備え、S O I ウェハの基板電位を浮動電位とし、外付けコンデンサを基板と電源あるいは接地との間に接続することを特徴とするモノリシック絶縁カプラ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はモノリシック絶縁カプラに係わり、特にS O I ウェハ上に形成される容量性絶縁カプラに関する。

【0002】

【従来の技術】

絶縁カプラには、種々の方式があるが、近年小型化可能な方式として容量結合型が知られている。容量結合型絶縁カプラは、(a) 結合容量、(b) 容量駆動回路を含む入力回路、(c) 容量経由信号を検出する検出回路を含む出力回路から構成される。実装の小型化のため、絶縁カプラのI C化が試みられているが、例えば、International Solid-State Circuits Conference, Feb. 1986, pp 176-178に記載されているように、モデムの回線インターフェイス部分をI C化したものが知られている。

## 【0003】

## 【発明が解決しようとする課題】

上記従来技術ではモデムをIC化する機能上の必要構成は示されているが、容量や入出力回路をシリコン上にどのように構成し、これらがどのように作用するのかは一切示されていない。また、IC化した場合に起こり得るIC内でのクロストークについても何ら配慮されていない。

## 【0004】

本発明の目的は、高耐圧を実現しかつ基板を通じた相互干渉の少ないモノリシック絶縁カプラの構造または構成方式を提供することにある。

## 【0005】

## 【課題を解決するための手段】

本発明によるモノリシック絶縁カプラは、基板と半導体層の間に埋め込み絶縁層があるSOI (Silicon On Insulation) ウェハに、埋め込み絶縁層に達する溝に絶縁物を充填した帯状の領域（絶縁帯）を誘電体とした結合容量と、容量駆動回路を含む入力回路領域と、容量経由信号検出回路を含む出力回路領域とを備える。このような構成において、基板を浮動電位とすることで、絶縁耐性を増加させ、かつ入力回路及び出力回路とそれらの下に存在する絶縁層を介した浮遊容量を通じてクロストーク雑音を入力回路の電源又は接地及び出力回路の電源又は接地に接続して、クロストークを低減する。

## 【0006】

## 【発明の実施の形態】

以下、実施例にしたがって本発明を説明する。

## 【0007】

図1は、本発明による絶縁カプラの一実施例を示す。図1(a)は平面図、図1(b)は断面図である。図1(a)において、絶縁バリヤ領域における絶縁帯9を誘電体として用い結合容量とする。この絶縁帯9を櫛状とすることで面積を増し、容量値を増やしている。絶縁帯で囲まれた4つの絶縁バリヤで構成される絶縁バリヤ領域3は入力と出力を隔てるように中央に配置されている。絶縁バリヤ領域3の片側には容量駆動回路領域6を含む入力回路領域2と、その外側に入

力回路領域 2 への入力端子領域 1 がある。絶縁バリヤ領域 3 の反対側には容量を経由した信号検出回路領域 7 を含む出力回路領域 4 と、外側に出力回路領域 4 からの出力端子領域 5 がある。入力回路領域 2 と出力回路領域 4 はそれぞれ絶縁帯に囲まれるか或いは各々が絶縁帯に囲まれた複数の小領域から構成されているが、各領域は少なくとも電源あるいは接地に接続されている。また、入力回路領域 2 と出力回路領域 4 にはそれぞれ容量駆動回路領域 6 と信号検出回路領域 7 が含まれているが、これらは必ずしも絶縁帯に囲まれた独立した小領域として分離されている必要はない。1 個の絶縁カプラは容量駆動回路と複数の 2 つの絶縁バリヤと信号検出回路からなるので、本実施例では 2 つの絶縁カプラを有している。さらに、各領域を支持する基板 12 の電位は、浮動電位にされている。

## 【0008】

図 1 (b) において、12 は基板、11 は絶縁層（埋め込み絶縁層）、10 は半導体層、26 は保護層である。半導体層 10 は、あらかじめ埋め込み絶縁層まで達する溝（トレンチ）を形成し、これを絶縁物で充填した帯状の領域（絶縁帯）によって図 1 (a) で示したような構成の回路領域が形成され、左から、入力端子領域 18, 入力回路領域 19, 絶縁バリヤ 20, 出力回路領域 21, 出力端子領域 22 を配列している。

## 【0009】

本実施例では、絶縁バリヤ 20 は 2 つの絶縁帯の容量を直列に接続することで形成され、側壁部分の半導体層が電極として機能している。各領域下の絶縁層 11 はそれぞれ図中に示すように浮遊容量 13-17 として機能する。このうち、浮遊容量 14-16 は絶縁バリヤの電極 23 と基板 12 とを接続している。入出力回路領域 2, 4 は一般的な CMOS 回路を用い、図のように半導体層 10 の表面近傍に形成され動作する。従って半導体層 10 下部の 24, 25 は入出力各回路の基板領域に相当し、端子を通じて電源あるいは接地へと接続されている。このため、浮遊容量 13, 17 は基板と 24, 25 を通じて入力回路の電源又は接地あるいは出力回路の電源又は接地とを接続している。入出力回路領域 2, 4 それぞれが絶縁帯で囲まれた複数の回路領域で構成される場合は、浮遊容量 13, 17 も複数の回路領域に対応して分離されて存在し、電源あるいは接地と基板



の間を接続する容量となる。

#### 【0010】

本実施例のように複数のトレンチ容量を備え、複数のチャンネルを有する絶縁カプラでは、他のチャンネルの容量下部にあるトレンチ容量部分の電極面積に対応する絶縁層である浮遊容量を通じて基板に漏れた信号が、他のチャンネルへと混入し、動作上問題となる。

---

#### 【0011】

以下にそのメカニズムについて図2、図3を用いて説明する。図1の回路ブロック図を図2に、また絶縁カプラでの伝送波形のタイミングチャートを図3に示す。二つの絶縁バリヤで構成される単一絶縁カプラ内では、ミラー対称に回路を形成しており、素子特性や回路動作には誤差が生じないよう工夫している。しかし、実際には完全に対称とするのは困難である。図2で35、36で構成される絶縁カプラに注目した場合、基板電位は構成される2つの絶縁バリヤの中間電位となる。2つの絶縁バリヤには図3に示されるような相補駆動信号が入力されているので、ミラー回路が対称性が完全であれば、基板電位は相補信号の平均で一定となるはずであるが、ミラー回路の非対称性のために、入力信号強度に誤差が生じる。この差がそのまま基板電位に現れ、図3に示すような回路の非対称性による基板電位の振動が生じる。

#### 【0012】

一方、相補駆動信号の非対称性も、基板電位に影響する。前述したように回路が対称であれば、相補信号の平均は一定となるはずであるが、タイミングや、立ち上がり、立ち下がり特性が完全に一致しないので、基板には図3に示すように駆動信号入力の非対称性によるスキューが生じる。

#### 【0013】

以上のような2つの原因により、基板には図3に示す2種類のノイズが発生する。本実施例のように複数の絶縁カプラがあり、それらが別々のタイミングで動作するような場合には、基板でのノイズも複数発生することになり、浮遊容量を通じて他の絶縁カプラの動作に影響するクロストークとして誤動作の原因となる。

## 【0014】

ところで、本実施例では、SOI基板には絶縁バリアの電極下にある44-47の浮遊容量の他に、入出力回路領域の浮遊容量48, 49が生じる。回路領域の浮遊容量は、図2に示したように、一方はSOI基板に接続され、他方は入出力回路領域の電源32, 42あるいは接地33, 43に接続しているので、前述した図3の基板漏出信号は回路領域の浮遊容量48, 49を通じて回路領域の電源32, 42や接地33, 43に放出される。この浮遊容量48, 49の効果により、図3の基板漏出信号の大きさは抑制され、実際に発生する基板からの回り込み信号も低減される。

## 【0015】

等価回路によるシミュレーションでは、絶縁層厚さ $1\mu\text{m}$ とし、回路領域面積が合計 $0.5\text{mm}^2$ と入出力回路が最小限の容量駆動回路6及び信号検出回路7で構成される場合に基板に漏れ出した信号強度は、5V電源に対し約0.5Vであった。そこでチップサイズを5mm角として入出力回路面積を $24\text{mm}^2$ として浮遊容量を増加させた場合のシミュレーションを行ったところ、基板への漏出信号強度は約0.7mVであり、約 $1/700$ に減衰した。このように、入出力回路領域下の浮遊容量48, 49の効果による基板からの回り込み信号の低減は、浮遊容量が大きいほど効果がある。

## 【0016】

集積回路は小型化されることが要求されるので、本実施例の入出力回路領域が非常に小さく、浮遊容量48, 49の効果による基板からの回り込み信号の抑制が不十分な場合は、基板12に直接十分な絶縁耐圧を持つ大容量のコンデンサを外部接続することで、基板からの回り込みの影響を低減することができる。

## 【0017】

図4を用いて、外付け容量を用いた場合の例について説明する。パッケージに実装された集積回路は、図1で説明したような絶縁バリアと駆動回路及び検出回路で構成される複数の絶縁カプラがある回路である。集積回路は両端に配された端子からパッケージに接続されている。パッケージのピン配置は、入力側と出力側との絶縁を考慮してパッケージの中央をあけるように配置した。さらに、高耐

圧で大容量の外付け容量50を配線の容量などによる影響を低減するためパッケージ内で、基板と入力側回路の電源及び接地との間、及び基板と出力側回路の電源及び接地との間に接続する。基板裏側にある自然酸化膜等の絶縁物を研磨除去して導電体によりステージに固定することで、ステージそのものが基板電位の端子となるようにしている。外付け容量の効果により、基板にあらわれる電位を大幅に減衰させるので、絶縁カプラへの相補入力信号の差や、立ち上がり、立ち下がり、の不一致によるスキューなどの基板に現れる電位を減衰させ、基板からの回り込みによるクロストークを抑制することができる。

#### 【0018】

実験では、 $1.1 \times 1.0$  mmの回路サイズを持つ絶縁カプラに5Vの入力を与えたところ、外付け容量がない場合に観察された入力信号の差に起因する約100 mVの電位変動が、1  $\mu$ Fの容量を付加した場合には同レンジでは観察不能なまで減衰させられることを確認した。

#### 【0019】

パッケージの絶縁性を考慮したピン配置としては、他に図の絶縁カプラICを90度回転した配置とし、入力側、出力側の端子を左右で分けることできる。

#### 【0020】

図5に、外付け容量50を付加したパッケージに適した、リードフレームのレイアウト例を示す。入力端子と出力端子はそれぞれステージの両端（上下）に配置し、絶縁をとっている。基板電位の端子でもあるステージの脇（左右）に残るスペースには、高耐圧の外付け容量50を配置して、最短距離で入力回路の電源あるいは接地、及び出力回路の電源あるいは接地とを接続できるようにした。本実施例では外付け容量をステージの左右に配したが、入力側、出力側のリードフレーム中央のスペースを広げるようにすれば、入力端子群或いは出力端子群の中程にある端子に外付け容量を付加することも可能である。従って、電源、或いは接地の端子位置により自由度を持たせることができる。

#### 【0021】

また、図4の実施例でも触れたように本実施例でも、パッケージの絶縁性を考慮したピン配置としては、前述のように図の絶縁カプラICを90度回転した配

置とし、入力側、出力側の端子を左右で分けることもできる。

【0022】

【発明の効果】

本発明によれば、半導体基板に絶縁カプラを形成する場合における、基板からのノイズ回り込みによるクロストークを低減することが可能である。

【図面の簡単な説明】

【図1】

本発明による絶縁カプラの実施例の構造。

【図2】

図1の絶縁カプラの回路ブロック図。

【図3】

図2の絶縁カプラの伝送波形。

【図4】

外付け高耐圧容量を用いた場合の実施例。

【図5】

外付け容量付加したパッケージに適したリードフレームレイアウト例。

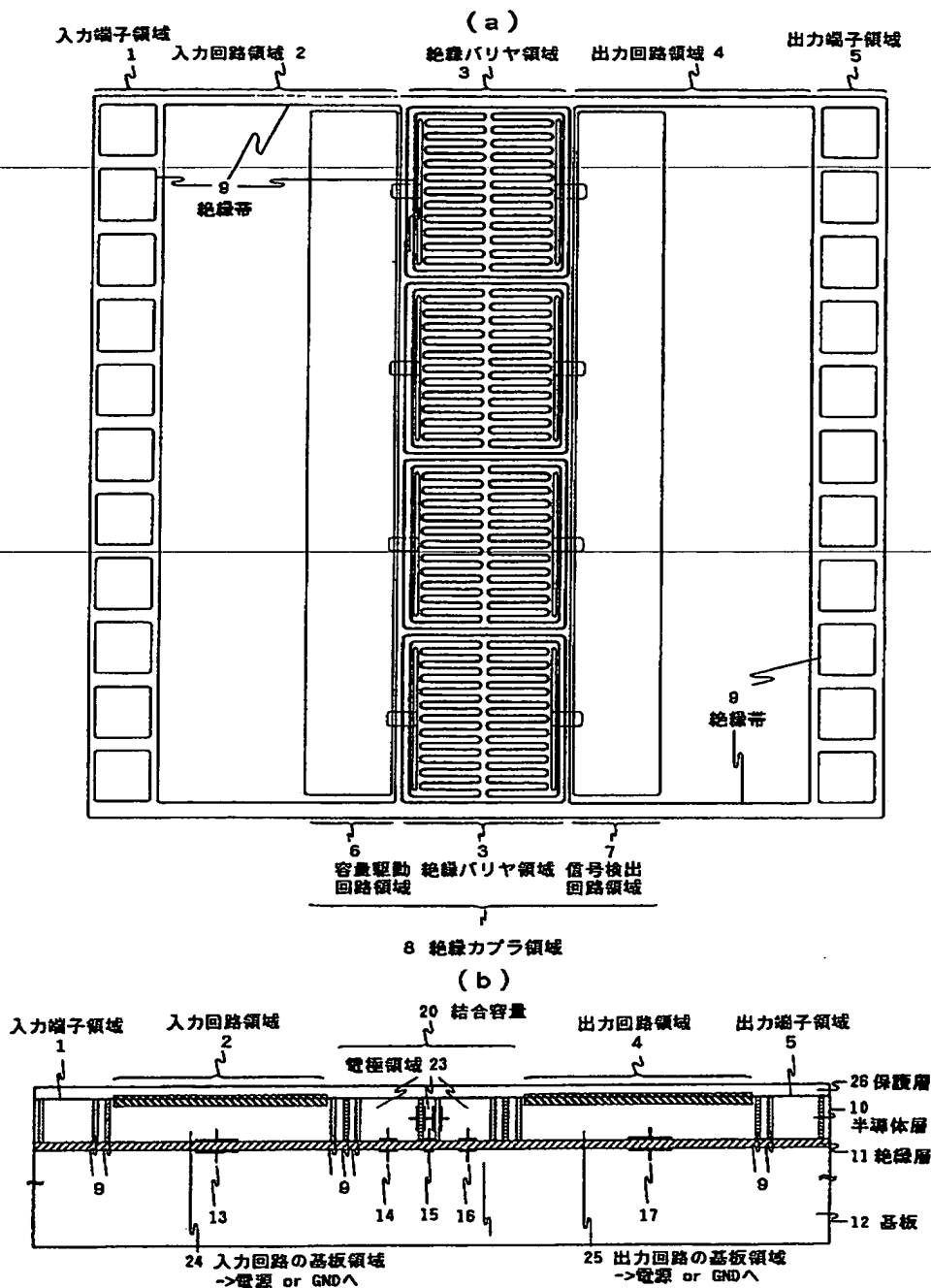
【符号の説明】

1…入力端子領域、2…入力回路領域、3…絶縁バリヤ領域、4…出力回路領域、5…出力端子領域、6…容量駆動回路領域、7…信号検出回路領域、8…絶縁カプラ領域、9…絶縁帯、10…半導体層、11…絶縁層、12…基板、13～17…浮遊容量、50…外付け容量。

【書類名】 図面

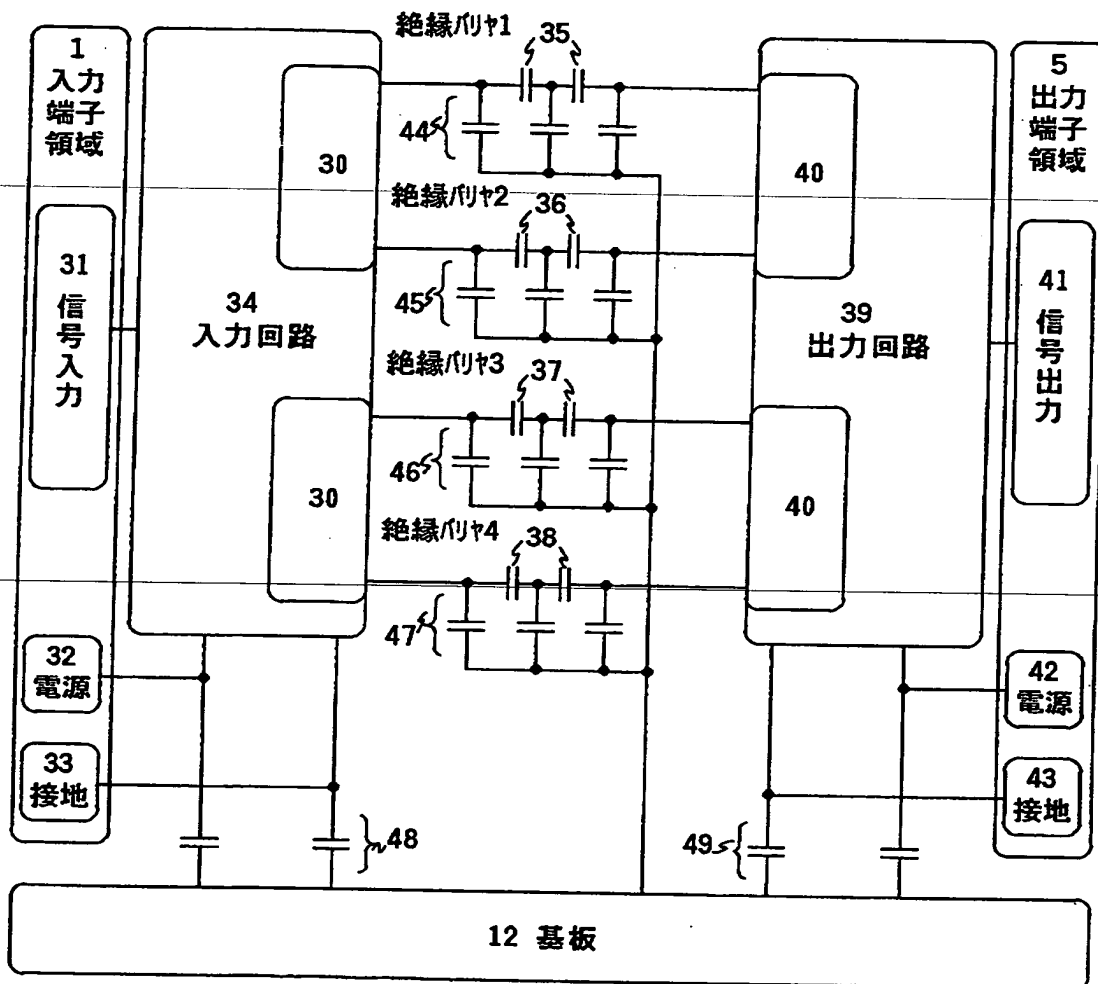
【図 1】

**图 1**



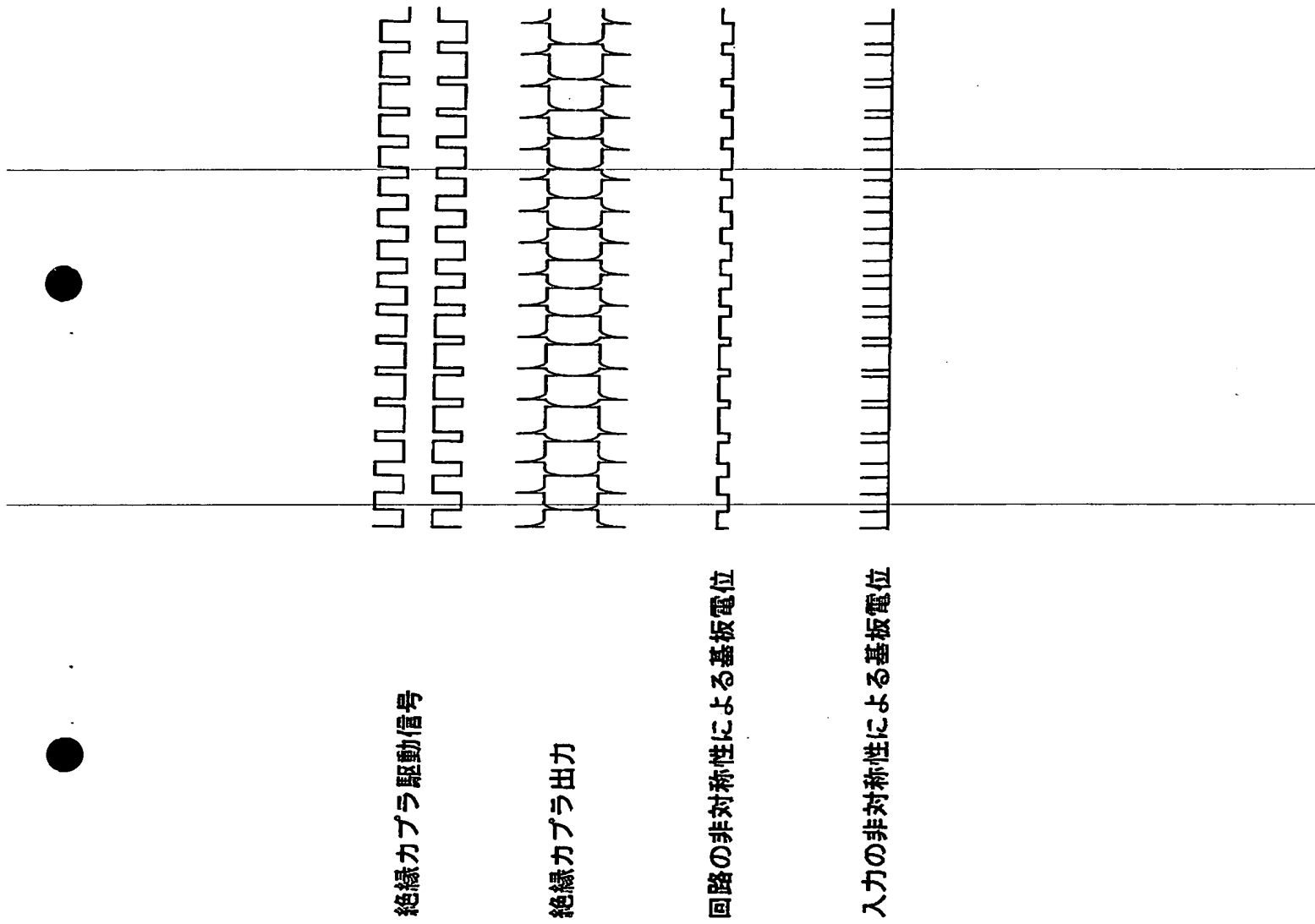
【図2】

図 2



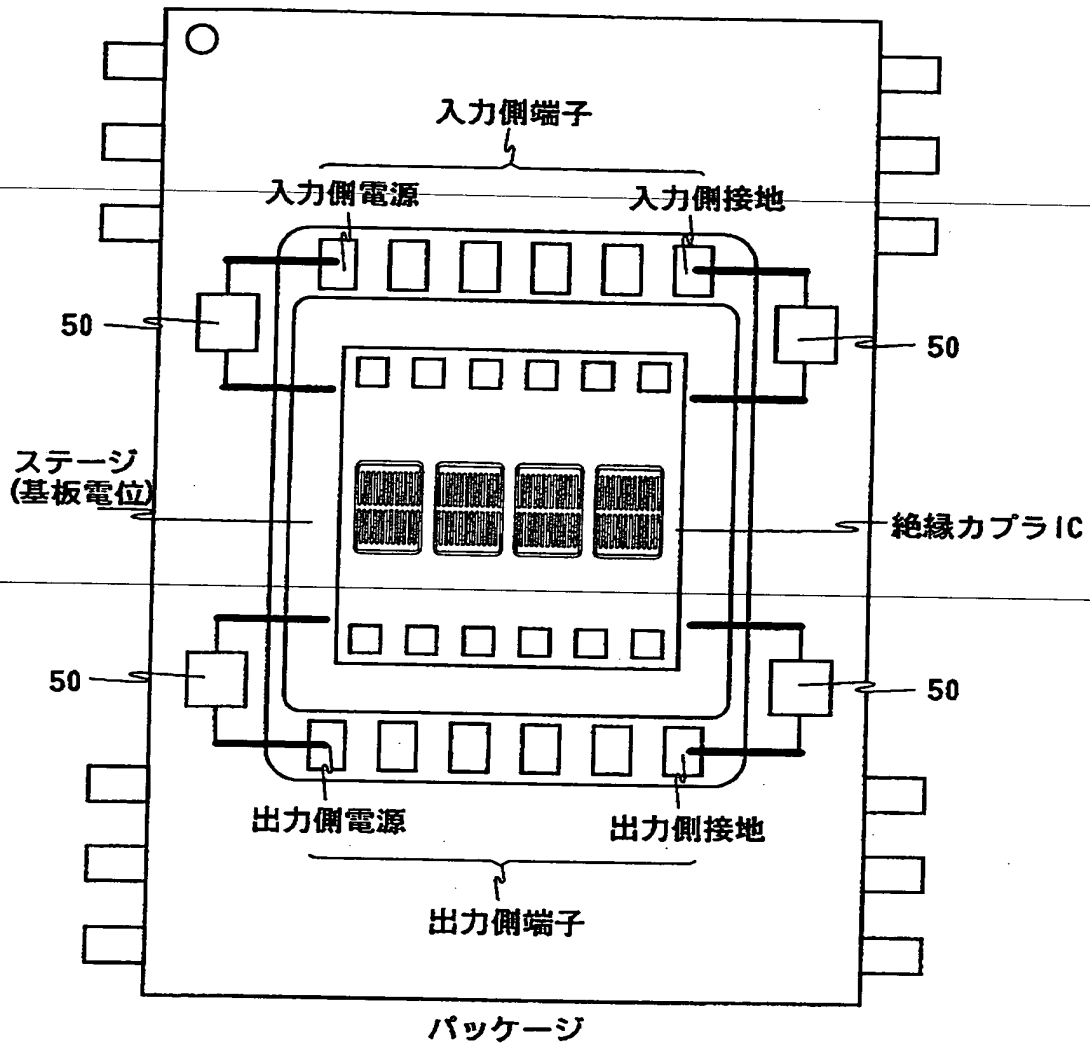
【図3】

図 3



【図4】

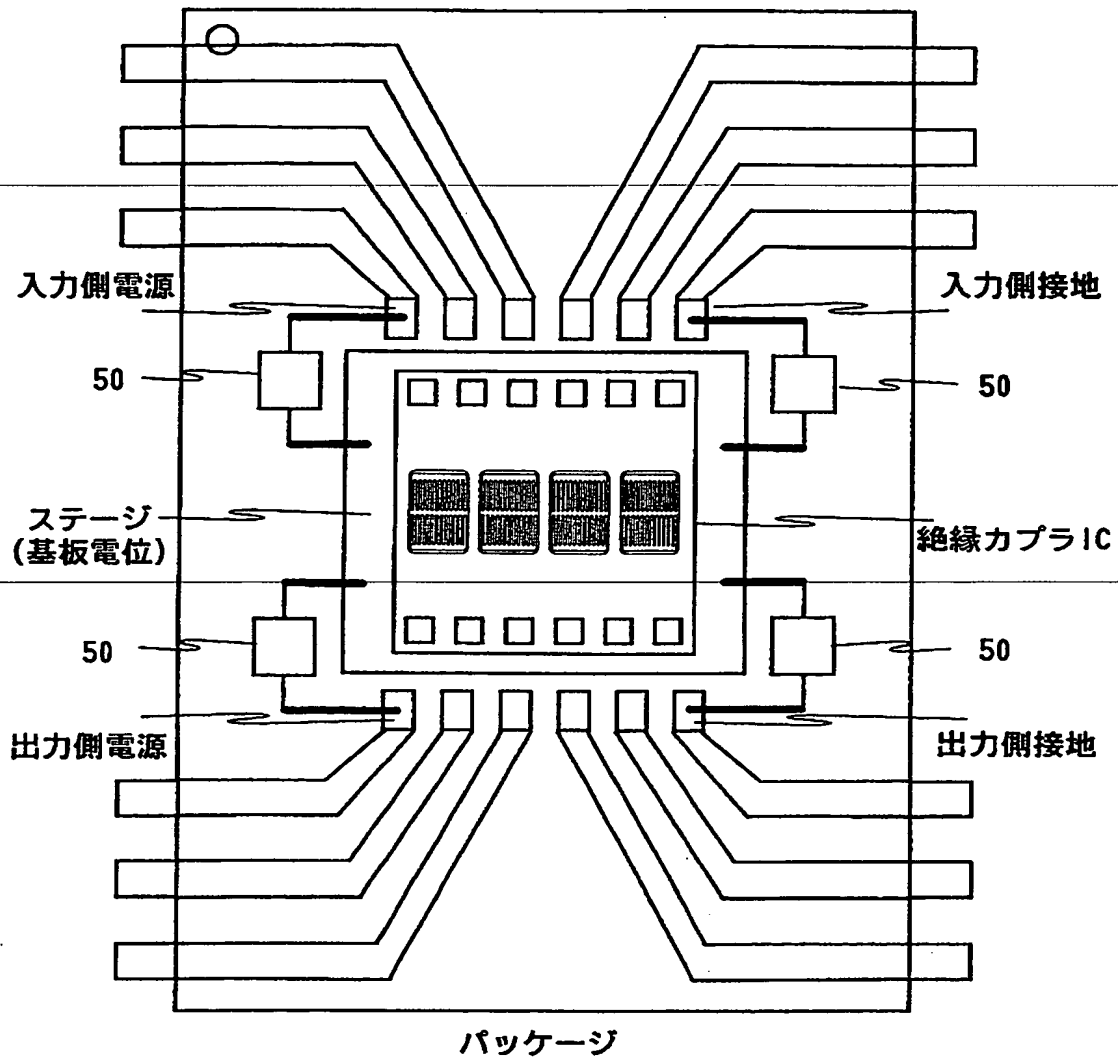
図 4





【図5】

図 5



【書類名】 要約書

【要約】

【課題】

IC化された絶縁カプラにおけるクロストークを低減する。

【解決手段】

SOIウェハー上に、帯状絶縁層を誘電体とする結合容量Cと、容量駆動回路を含む入力回路領域と、容量経由信号検出回路を含む出力回路領域とを形成し、基板を浮動電位とする。

【効果】

SOIウェハー内の浮遊容量を通じてクロストーク雑音を電源又は接地に逃がして減衰させることにより、クロストークを低減できる。

【選択図】 図1

【書類名】 職権訂正データ  
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000005108  
【住所又は居所】 東京都千代田区神田駿河台四丁目6番地  
【氏名又は名称】 株式会社日立製作所

【代理人】 申請人

---

【識別番号】 100068504  
【住所又は居所】 東京都千代田区丸の内1-5-1 株式会社日立製  
作所 知的所有権本部内  
【氏名又は名称】 小川 勝男

---

特平 9-298166

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地  
氏 名 株式会社日立製作所